

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): KUMAGAI, et al.
Serial No.: Not yet assigned
Filed: July 24, 2003
Title: SEMICONDUCTOR DEVICE
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 24, 2003

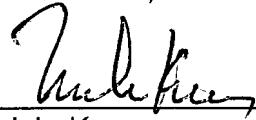
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-244523, filed August 26, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/alb
Attachment
(703) 312-6600

日本国特許庁
JAPAN PATENT OFFICE

1502-329

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月26日

出願番号

Application Number:

特願2002-244523

[ST.10/C]:

[JP2002-244523]

出願人

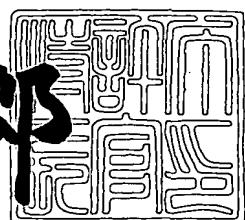
Applicant(s):

株式会社日立製作所

2003年 3月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3016548

【書類名】 特許願

【整理番号】 1502003291

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社 日立製作所
機械研究所内

【氏名】 熊谷 幸博

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社 日立製作所
機械研究所内

【氏名】 太田 裕之

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社 日立製作所
機械研究所内

【氏名】 奈須 真吾

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特2002-244523

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】

半導体基板上に形成された、nチャネル型電界効果トランジスタと、pチャネル型電界効果トランジスタを有する半導体装置であって、

前記トランジスタは、ゲート電極とそれに対応するソース及びドレインを備え、

前記ソースとドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿う方向に形成され、

前記pチャネル型電界効果トランジスタのチャネル部分の結晶のひずみは、前記nチャネル型電界効果トランジスタのチャネル部分の結晶のひずみより、大きい圧縮ひずみが形成されることを特徴とする半導体装置。

【請求項2】

半導体基板上に形成された、nチャネル型電界効果トランジスタと、pチャネル型電界効果トランジスタを有する半導体装置であって、

前記トランジスタは、ゲート電極とそれに対応するソース及びドレインを備え、

前記ソースとドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿う方向に形成され、

前記nチャネル型電界効果トランジスタのチャネル部分の結晶のひずみは、前記pチャネル型電界効果トランジスタのチャネル部分の結晶のひずみより、大きい引張りひずみが形成されることを特徴とする半導体装置。

【請求項3】

半導体基板と、前記半導体基板上に形成された、ゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタの上に形成される絶縁膜と、前記トランジスタのソースと対応するドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、

前記トランジスタは、複数のnチャネル型電界効果トランジスタと、複数のpチャネル型電界効果トランジスタと、を有し、

前記絶縁膜は引張応力を有し、

前記pチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜は、

前記nチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜より薄い絶縁膜が形成されることを有することを特徴とする半導体装置。

【請求項4】

請求項3において、前記絶縁膜より上に上端を有する層間絶縁膜と、層間絶縁膜の上に配線層を備えることを特徴とする半導体装置。

【請求項5】

半導体基板と、前記半導体基板上に形成されたフィールド領域に囲まれた複数のアクティブ領域と、前記アクティブ領域に形成された、ゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタの上に形成される絶縁膜と、前記トランジスタのソースと対応するドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、

前記トランジスタは、複数のnチャネル型電界効果トランジスタと、前記nチャネル型電界効果トランジスタに対応する複数のpチャネル型電界効果トランジスタと、を有し、

前記絶縁膜は引張応力を有し、

前記pチャネル型電界効果トランジスタの形成されたアクティブ領域に隣接するフィールド領域上には、前記第一のnチャネル型電界効果トランジスタと、前記第二のnチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置。

【請求項6】

シリコン基板上に形成された、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタを有する半導体装置において、

前記nチャネル型電界効果トランジスタと前記pチャネル型電界効果トランジスタとを複数有し、

前記トランジスタのドレイン電流が主として流れる方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向であり、

前記nチャネル型電界効果トランジスタと前記pチャネル型電界効果トランジスタの上部には引張応力を有する絶縁膜が形成され、

pチャネル型電界効果トランジスタのアクティブに隣接するフィールド領域上には、

第一の前記nチャネル型電界効果トランジスタと、第二の前記nチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置。

【請求項7】

半導体基板と、前記半導体基板上に形成された、ゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタの上に形成される絶縁膜と、前記トランジスタのソースと対応するドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、

前記トランジスタは、複数のnチャネル型電界効果トランジスタと、複数のpチャネル型電界効果トランジスタと、を有し、

前記絶縁膜は圧縮応力を有し、

前記nチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜は、前記pチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜より薄い絶縁膜が形成されることを有することを特徴とする半導体装置。

【請求項8】

半導体基板と、前記半導体基板上に形成されたフィールド領域に囲まれた複数のアクティブ領域と、前記アクティブ領域に形成された、ゲート電極と、前記ゲー

ト電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタの上に形成される絶縁膜と、前記トランジスタのソースと対応するドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、

前記トランジスタは、複数のnチャネル型電界効果トランジスタと、複数のpチャネル型電界効果トランジスタと、を有し、

前記絶縁膜は圧縮応力を有し、

前記nチャネル型電界効果トランジスタのアクティブに隣接するフィールド領域上には、前記第一のpチャネル型電界効果トランジスタと、前記第二のpチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置。

【請求項9】

シリコン基板上に形成されたフィールド領域に囲まれた複数のアクティブ領域と、前記アクティブ領域に形成された、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタを有する半導体装置において、

前記nチャネル型電界効果トランジスタと前記pチャネル型電界効果トランジスタとを複数有し、

前記トランジスタのドレイン電流が主として流れる方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向であり、前記nチャネル型電界効果トランジスタと前記pチャネル型電界効果トランジスタの上部には圧縮応力を有する絶縁膜が形成され、nチャネル型電界効果トランジスタのアクティブに隣接するフィールド領域上には、

前記第一のpチャネル型電界効果トランジスタと、前記第二のpチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置。

【請求項10】

半導体基板と、前記半導体基板上に素子分離領域を介して複数配置された素子形

成領域と、前記素子形成領域に形成されたゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタの上に形成される絶縁膜と、前記トランジスタのソースと対応するドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、

前記トランジスタは、複数のnチャネル型電界効果トランジスタと、複数のpチャネル型電界効果トランジスタと、を有し、

前記pチャネル型電界効果トランジスタが形成された領域に隣接する素子分離領域の溝幅は、前記nチャネル型電界効果トランジスタに隣接する素子分離領域の溝幅よりも、狭いことを特徴とする半導体装置。

【請求項11】

請求項10において、前記pチャネル型電界効果トランジスタが形成された領域に隣接し、前記ソースとドレインとを結ぶ方向に平行方向及び垂直方向に位置する素子分離領域の溝幅は、前記nチャネル型電界効果トランジスタが形成された領域に隣接し、前記ソースとドレインとを結ぶ方向に平行方向及び垂直方向に位置する素子分離領域の溝幅より狭くなるよう形成されていることを特徴とする半導体装置。

【請求項12】

請求項1から11において、

上記nチャネル型電界効果トランジスタのチャネル部にレーザを照射した際のラマン分光のラマンシフトが、上記pチャネル型電界効果トランジスタのチャネル部にレーザを照射した際のラマン分光のラマンシフトより小さいことを特徴とする半導体装置。

【請求項13】

請求項1から11において、上記絶縁膜は窒化珪素を主成分とする特徴とする半導体装置。

【請求項14】

半導体基板にゲート電極と前記ゲート電極に対応するソース及びドレインを備えたnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタを

形成する工程と、

前記電界効果トランジスタを被うように応力制御膜を堆積する工程と、

前記応力制御膜の上にマスクを堆積してパターンニングする工程と、

前記応力制御膜をエッティングする工程と、を有し、

前記応力制御膜を堆積後に層間絶縁膜を堆積する工程と、

前記層間絶縁膜の上に前記トランジスタと電気的に連絡する配線層を形成する工程と、を備え、

前記ソースとドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿う方向に形成され、

前記応力制御膜に引張り或いは圧縮ひずみを残留させ、前記ソースとドレインを結ぶ方向に垂直な方向における前記pチャネル型電界効果トランジスタのチャネル部分は、前記ソースとドレインを結ぶ方向に垂直な方向における前記nチャネル型電界効果トランジスタのチャネル部分より大きな圧縮ひずみを有するよう形成することを特徴とする半導体装置の製造方法。

【請求項15】

請求項14において、前記エッティング工程によって、コンタクトプラグを形成する領域に前記応力制御膜を除去すると共に、前記pチャネル型電界効果トランジスタの周囲に前記nチャネル型電界効果トランジスタの周囲より薄くするか或いは除去することを特徴とする半導体装置の製造方法。

【請求項16】

半導体基板と、前記半導体基板上に形成された、ゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタを備えた複数の回路を有し、

第一の回路は第一のトランジスタは第一の回路を備え、第二の回路は第二のトランジスタを備え、

前記第一の回路の前記第一のトランジスタを構成するソースと対応するドレインとを結ぶ方向は、前記基板の<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、

前記第二の回路の前記第二のトランジスタを構成するソースと対応するドレイン

とを結ぶ方向は、前記基板の<110>結晶軸、若しくは、<110>結晶軸と等価な軸に沿った方向に形成される、ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、nチャネル電界効果型トランジスタとpチャネル電界効果型トランジスタからなる相補型電界効果トランジスタを有する半導体装置に係る。

【0002】

【従来の技術】

近年、情報通信機器の発達に伴いLSI等の半導体装置に要求される処理能力は年々厳しくなっており、トランジスタの動作速度の高速化が図られている。特に、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタで構成される相補型電界効果トランジスタは、低消費電力であることから広く用いられているが、その高速化は、主として構造の微細化によって進められ、半導体素子を加工するリソグラフィー技術の進歩に支えられてきた。

【0003】

しかしながら、最近では、要求される最小加工寸法（ゲートの最小加工寸法）がリソグラフィーに用いる光の波長レベル以下になってきており、より一層の微細化加工は困難になりつつある。

【0004】

そこで、シリコン結晶をひずませると電子の移動度（有効質量）が変化することを利用して、特開平11-340337号公報では、電界効果トランジスタを形成する下地膜に、シリコンより格子定数の大きなシリコンゲルマニウムを用い、その上にシリコン層をエピタキシャル成長させることにより、チャネル部分となるシリコンにひずみを与えて、移動度を高めて、トランジスタの高速化を図るという方法が開示されている。

【0005】

また、特開平6-232170号においては、電界効果トランジスタのゲート電極の応力制御によって、ドレイン電流の立ち上がり遅延を制御するという方法が開示されている。

【0006】

【発明が解決しようとする課題】

近年の半導体装置においては、電界効果トランジスタの動作速度の高速化が進められており、その為の手段の一つとして、シリコンより格子定数の大きなシリコンゲルマニウム材料をチャネル部分のシリコンの下地に用いて、シリコンにひずみを与え移動度を高める、といった方法が検討されている。

【0007】

しかしながら、特開平11-340337号公報のように、結晶の格子定数の異なる材料を格子整合させるようにエピタキシャル成長させると、結晶に生じるひずみのエネルギーが大きく、ある臨界膜厚以上の膜厚では、結晶に転位が発生するといった問題や、LSI等の半導体装置の製造プロセスにおいて、一般的ではないシリコンゲルマニウムという材料の導入による新たな製造装置の導入に伴うコストの増加など実用化は容易ではない。

【0008】

また、相補型電界効果トランジスタは、電子をキャリアとするnチャネル型電界効果トランジスタと、正孔をキャリアとするpチャネル型電界効果トランジスタにより構成されるが、半導体装置の高速化の為には、nチャネル型、およびpチャネル型各々の高速化を図ることが好ましい。

【0009】

また、特開平6-232170号公報においては、その対象となるトランジスタは、化合物半導体で作られるトランジスタであり、現在、LSIやDRAM等に、主として用いられているシリコン基板上に作られるトランジスタは考慮されておらず、また、その電界効果トランジスタは、nチャネル型のみで、応力の制御方向も一軸のみしか考慮されていないなど不十分なものであった。

【0010】

ところで、一般的に、シリコン基板に形成される電界効果トランジスタのチャ

ネルの方向（ドレイン電流が主として流れる方向）は、 $<110>$ 結晶軸と平行な方向に配置される。しかしながら、pチャネル型電界効果トランジスタの高速化の観点から、チャネル方向を $<100>$ 結晶軸方向とした、相補型電界効果トランジスタの開発も進められている（佐山弘和、井上靖朗：応用物理、第69巻、第9号、1099(2000)）。pチャネル型電界効果トランジスタの高速化のメカニズムは、 $<100>$ 結晶軸の正孔の移動度が、 $<110>$ 軸に比べて大きく、また、短チャネル特性が改善されるためとされている。

【0011】

しかし、結晶軸の違いは、単に、シリコン結晶の（ひずみのない）理想状態の移動度が変わるだけではなく、応力（ひずみ）に対する感受性も変わる可能性がある。つまり、 $<110>$ 軸のトランジスタで、引張ひずみで増加したドレイン電流（移動度）が、 $<100>$ 軸のトランジスタでは、逆に、減少する可能性がある。

【0012】

したがって、結晶をひずませることにより、高速化を図るという手段は、チャネル方向が $<100>$ 軸方向のトランジスタは、一般に、検討されているチャネル方向が $<110>$ 軸方向の電界効果トランジスタとは違う可能性がある。

【0013】

そこで、本発明の目的は、チャネル方向が $<100>$ 軸方向の、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタを有する半導体装置において、nチャネル型電界効果トランジスタ、pチャネル型電界効果トランジスタのドレイン電流特性に優れた半導体装置を効果的に実現することである。

【0014】

【課題を解決するための手段】

本願発明者らは、チャネル方向が $<100>$ 軸方向の電界効果トランジスタのドレイン電流の応力依存性を測定し、一般的な $<110>$ 軸方向のトランジスタとは、応力依存性が異なることを明らかにした。

【0015】

図2は、Si(001)面上に、ドレイン電流が $<100>$ 軸に平行に流れる

ように形成したnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのドレイン電流の応力依存性の実験結果を示すグラフである。なお、評価した電界効果トランジスタのゲート長は $0.2\mu\text{m}$ である。また、応力の方向は電界効果トランジスタのチャネルを流れるドレイン電流に対して平行方向のチャネル面内一軸応力（チャネルに平行な応力）と、ドレイン電流に対して直角方向のチャネル面内一軸応力（チャネルに直角な応力）であり、応力の符号は、プラスは引張応力、マイナスは圧縮応力を表す。

【0016】

図2において、nチャネル型電界効果トランジスタの場合、引張応力に対してドレイン電流が増加する（チャネルに平行な応力では約4.3%/100MPa、チャネルに直角な応力では約0.85%/100MPa）。

【0017】

また、pチャネル型電界効果トランジスタの場合には、圧縮応力に対してドレイン電流が増加する（チャネルに平行な応力では約0.41%/100MPa、チャネルに直角な応力では約2.2%/100MPa）。

【0018】

一方、図3は、上記の実験と同様な実験をチャネル方向が<110>方向のトランジスタについて行った結果である。

【0019】

図3において、nチャネル型電界効果トランジスタの場合、引張応力に対してドレイン電流が増加する（チャネルに平行な応力では約4.3%/100MPa、チャネルに直角な応力では約1.7%/100MPa）。

【0020】

また、pチャネル型電界効果トランジスタの場合には、チャネルに直角な方に対するドレイン電流は増加するが（約3.6%/100MPa）、チャネルに平行な方向に対するドレイン電流は減少する（約6.3%/100MPa）。

【0021】

図2と図3の結果から明らかなように、チャネル方向によりドレイン電流の応力依存性が大きく異なることが分かる。特に、pチャネル型電界効果トランジス

タで依存性の違いは大きく、 $<110>$ 軸に平行なトランジスタと同様な応力制御で、 $<100>$ 軸に平行なトランジスタを製作すると、逆に、ドレイン電流が減少してしまう可能性があると考えられる。

【0022】

つまり、チャネル方向が $<100>$ 軸方向のトランジスタのドレイン電流を増加させるには、nチャネル型電界効果トランジスタには、チャネル面内に平行、直角方向ともに引張応力、pチャネル型電界効果トランジスタには、チャネル面内に平行、直角方向ともに圧縮応力を負荷すれば良いことが明らかになった。

【0023】

なお、弾性変形内の議論では応力とひずみは比例関係にある。したがって、上述の実験結果で、例えば、nチャネル電界効果トランジスタに対してチャネルに平行に引張応力を負荷した場合に、ドレイン電流が増加したのは、チャネルを構成するシリコンの結晶格子が、応力負荷前に比べて、チャネル面内平行引張方向にひずんだ為、電子の移動度が増加したものと考えられる。このような、シリコン結晶に生じるひずみは、TEMや、電子線回折や、ラマン分光法などによって測定することも可能である。

【0024】

ところで、トランジスタのような多層膜の積層構造では、材料間の線膨張係数の違いによる熱応力や、格子定数の違いや結晶化時の膜収縮などによる真性応力が発生し、構造内部には残留応力が発生する。一般に、年々、微細化が進む電界効果トランジスタは、そのゲート長で世代が表現される。

【0025】

本願発明者らは、電界効果トランジスタ構造の応力解析を行い、ゲートの加工寸法の縮小が進むと、構造の微細化や新規材料の利用などによって、構造内部に発生する応力が大きくなることを明らかにした。特に、ゲート長 $0.1\mu m$ 世代の電界効果トランジスタでは、浅溝素子分離 (STI : Shallow Trench Isolation) による酸化起因応力などが応力の発生源となる。

【0026】

図4はゲート長各世代の電界効果トランジスタのチャネル部分の応力を有限要

素法により応力解析した結果を示すグラフである。図4において、ゲート長が比較的大きな $2\mu\text{m}$ 世代のトランジスタではゲート下のチャネル部分に発生する応力は低いが、ゲート長が $0.25\mu\text{m}$ 以下の世代のトランジスタになると、急激に応力は高くなり、 $0.1\mu\text{m}$ 世代では $2\mu\text{m}$ 世代の約3倍に達する。電界効果トランジスタに発生する応力のトランジスタ特性への影響については研究がなされている。例えば、電界効果トランジスタの特性の一つである相互コンダクタンス($G\text{m}$)の応力依存性についての研究がなされている(Akemi Hamada, et al., IEEE Trans. Electron Devices, vol. 38, No. 4, pp.895-900, 1991)。

【0027】

しかしながら、従来は電界効果トランジスタの特性が応力によって変動するといったことは問題になっていなかった。これは、 $0.25\mu\text{m}$ 以前、つまり、 $0.25\mu\text{m}$ 以上の電界効果トランジスタでは、図4に示すように、トランジスタ構造に発生する応力が小さかった為と考えられる。

【0028】

さらに、トランジスタそのものの応力に対する感受性も低かったことも考えられる。

【0029】

よって、本発明はゲート長が $0.25\mu\text{m}$ 以下の半導体装置に適応すると実効が得られて好ましい。

【0030】

図5は、上述の文献(Akemi Hamada, et al., IEEE Trans. Electron Devices, vol. 38, No. 4, pp.895-900, 1991)の相互コンダクタンス $G\text{m}$ の応力依存性の実験結果(ゲート長： $2\mu\text{m}$)と、本願発明者らの $G\text{m}$ の応力依存性の実験結果(ゲート長： $0.2\mu\text{m}$)を比較して示すグラフである。

【0031】

なお、図5における比較は、チャネルが $<110>$ 結晶軸に平行なnチャネル型電界効果トランジスタに対する、チャネルに平行方向の応力負荷で行った。ゲート長が $2\mu\text{m}$ の世代のトランジスタに対して、ゲート長 $0.2\mu\text{m}$ 世代のトランジスタは、応力に対する $G\text{m}$ の依存性が約4倍大きい。つまり、トランジスタ

の世代が進むことによって、応力に対するトランジスタ特性の感受性が高まっていることを示している。

【0032】

また、応力解析によれば、電界効果トランジスタのSi基板のチャネル部分に形成される基板深さ方向の応力分布は、ゲート電極近傍に応力集中場が形成される。ゲート長の小さな0.1μm世代のトランジスタの拡散層の形成領域は、従来のゲート長の大きなトランジスタに比べて、基板表面に近い浅い領域に形成される。その結果、0.1μm世代のトランジスタでは、素子動作領域が応力の影響を受け易くなっているとも考えられる。

【0033】

そこで、本願発明者らは、ゲート長が0.08μmの電界効果トランジスタ構造について有限要素法による応力解析を行い、電界効果トランジスタを構成する材料、およびその周辺の材料が、ドレイン電流が流れるチャネル部分の応力に与える影響について、感度解析を行った。感度解析に用いた構造の標準寸法（厚さ）を以下の通りである。ゲート長80nm、ゲート高さ150nm、ゲート電極を上面から内包する膜の膜厚50nm、サイドウォール膜厚（シリコン基板に接する部分）50nm、シリサイド膜厚30nm、STI溝幅5μm、STI溝深さ350nm、ゲート電極からSTIまでの距離0.62μm、である。なお、本明細書においては、窒化珪素はSiN、酸化シリコンはSiO₂として示す。

その結果、本願発明者らは、ゲート電極を上面から内包する膜（解析ではSiN膜を仮定）の応力と、浅溝素子分離の応力が、チャネル部分の応力に影響が大きいことを明らかにした。（図6、7）

本発明により、例えば、チャネル部分の応力を圧縮応力側にするには、ゲート電極を覆う圧縮の真性応力となるSiN膜のトランジスタを覆う面積の増加、あるいはSTI溝幅を狭くすることによって、達成することができる事を明らかにした。

【0034】

上記事項に鑑み、次のような状態を構成することが好ましい。

シリコン基板上に形成された、nチャネル型電界効果トランジスタと、pチャ

ネル型電界効果トランジスタとを有する半導体装置において、上記トランジスタのドレイン電流が主として流れる方向は、 $<100>$ 結晶軸、若しくは $<100>$ 結晶軸に等価な方向と、平行であり、

上記nチャネル型電界効果トランジスタのチャネル部の残留応力（残留ひずみ）は、上記pチャネル型電界効果トランジスタのチャネル部の残留応力（残留ひずみ）より、引張応力側に大である。

【0035】

または、シリコン基板上に形成された、nチャネル型電界効果トランジスタと、pチャネル型電界効果トランジスタとを有する半導体装置において、上記トランジスタのドレイン電流が主として流れる方向は、 $<100>$ 結晶軸、若しくは $<100>$ 結晶軸に等価な方向と、平行であり、

上記nチャネル型電界効果トランジスタのチャネル部の残留応力（残留ひずみ）は引張応力（引張ひずみ）であり、上記pチャネル型電界効果トランジスタのチャネル部のドレイン電流が流れる方向に沿った方向の残留応力（残留ひずみ）は圧縮応力（圧縮ひずみ）である。

【0036】

これにより、nチャネル型、pチャネル型、共にドレイン電流特性を向上できるので全体としての性能に優れた半導体装置を実現することができる。

【0037】

また、本発明の半導体装置は、欠陥等を抑制した信頼性の高い半導体装置を実現することができる。

【0038】

なお、 $<100>$ 結晶軸に等価な軸とは、例えば、 $<010>$ 軸、 $<001>$ 軸、 $<-1,0,0>$ 軸、 $<0,-1,0>$ 軸などのことである。

【0039】

上記の何れかの形態をとる為に具体的には、以下の構成をとることが好ましい

（1）半導体基板上に形成された、nチャネル型電界効果トランジスタと、pチャネル型電界効果トランジスタを有する半導体装置であって、前記トランジス

タは、ゲート電極とそれに対応するソース及びドレインを備え、前記ソースとドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿う方向に形成され、前記pチャネル型電界効果トランジスタのチャネル部分の結晶のひずみは、前記nチャネル型電界効果トランジスタのチャネル部分の結晶のひずみより、大きい圧縮ひずみが形成されることを特徴とする半導体装置である。

なお、例えば、具体的には、前記pチャネル型電界効果トランジスタのチャネル部分のゲート絶縁膜に平行な面における、前記ソースとドレインを結ぶ方向に直角な方向の結晶ひずみは、前記nチャネル型電界効果トランジスタのチャネル部分のそれよりも、大きな圧縮ひずみを形成することを特徴とする半導体装置である。より好ましくは、前記に加えて、前記前記ソースとドレインを結ぶ方向に平行な方向の結晶ひずみは、前記nチャネル型電界効果トランジスタのチャネル部分のそれよりも、大きな圧縮ひずみを形成することを特徴とする半導体装置である。

或いは、前記ソースとドレインを結ぶ方向に直角な方向における前記pチャネル型電界効果トランジスタのチャネル部分は、前記ソースとドレインを結ぶ方向に直角な方向における前記nチャネル型電界効果トランジスタのチャネル部分より大きな圧縮ひずみを形成すると言うこともできる。より好ましくは、前記ソースとドレインを結ぶ方向に平行な方向においても同様に大きな圧縮ひずみを形成する。

これらにより、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタを備えた半導体装置の電流特性を全体として向上させることができる。更に、上記構成により、上記絶縁膜の調整変更によっても電流特性に影響を及ぼさないので効果的に上記効果を達成できる。なお、前記半導体装置において、上記絶縁膜は窒化珪素を主成分としても良い。

【0040】

(2) なお、前記(1)は、nチャネル型電界効果トランジスタのチャネル部分の結晶のひずみは、前記pチャネル型電界効果トランジスタのチャネル部分の結晶のひずみより、大きい引張りひずみが形成されることを特徴とする半導体装置

置であるということもできる。

ここで、軸に沿った方向とは、軸に平行であることが好ましい。但し、これに限るものではなく、少なくとも軸と 45° の方向（例えば<110>或いはその等価方向）よりも前記<100>軸・等価な軸方向のほうが近くなるように配置されていることを要するものである。更には、製造誤差その他の原因によって、前述のように厳密に平行でなくとも、それに $\pm 5^\circ$ 程度の範囲で配置していることがより好ましい。

なお、例えば、前記nチャネル型電界効果トランジスタのチャネル部分のゲート絶縁膜に平行な面における、前記ソースとドレインを結ぶ方向に直角な方向及び平行な方向の結晶ひずみは、前記pチャネル型電界効果トランジスタのチャネル部分よりも、大きな引張ひずみを形成することを特徴とする半導体装置である。

或いは、前記ソースとドレインを結ぶ方向に直角な方向及び平行な方向における前記nチャネル型電界効果トランジスタのチャネル部分は、前記ソースとドレインを結ぶ方向に直角な方向及び平行な方向における前記pチャネル型電界効果トランジスタのチャネル部分より大きな引張りひずみを形成するということもできる。

【0041】

(3) 半導体基板と、前記半導体基板上に形成された、ゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタの上に形成される半導体基板より抵抗の高い絶縁膜と、前記トランジスタのソースと対応するドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、前記トランジスタは、複数のnチャネル型電界効果トランジスタと、複数のpチャネル型電界効果トランジスタと、を有し、前記絶縁膜は引張応力を有し、前記pチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜は、前記nチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜より薄い絶縁膜が形成

されることを有することを特徴とする半導体装置である。

【0042】

(4) なお、前記絶縁膜より上に上端を有する層間絶縁膜と、層間絶縁膜の上に配線層を備える。

【0043】

(5) 前記(3)は、言替えれば、前記pチャネル型電界効果トランジスタのアクティブに隣接するフィールド領域上には、前記第一のnチャネル型電界効果トランジスタと、前記第二のnチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置である。

【0044】

(6) また、前記nチャネル型電界効果トランジスタと前記pチャネル型電界効果トランジスタの上部には引張応力を有する絶縁膜が形成され、pチャネル型電界効果トランジスタのアクティブに隣接するフィールド領域上には、前記第一のnチャネル型電界効果トランジスタと、前記第二のnチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置である。

【0045】

(7) 前記(3)と異なり、前記絶縁膜が圧縮応力を有する場合は、前記nチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜は、前記pチャネル型電界効果トランジスタの周囲であって、前記ソースとドレインを結ぶ方向に垂直な方向及び平行な方向に位置する領域に形成される前記絶縁膜より薄い絶縁膜が形成されることを有することを特徴とする半導体装置である。

【0046】

前記トランジスタの周囲とは例えば、当該トランジスタとその周囲に位置するトランジスタとの間の領域であることができる。トランジスタが群として配置されている場合はトランジスタ群の周囲が前記周囲に相当することができる。

【0047】

(8) 前記(7)は、言替えれば、前記nチャネル型電界効果トランジスタのアクティブに隣接するフィールド領域上には、前記第一のpチャネル型電界効果トランジスタと、前記第二のpチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置である。

【0048】

(9) また、前記nチャネル型電界効果トランジスタと前記pチャネル型電界効果トランジスタの上部には圧縮応力を有する絶縁膜が形成され、nチャネル型電界効果トランジスタのアクティブに隣接するフィールド領域上には、前記第一のpチャネル型電界効果トランジスタと、前記第二のpチャネル型電界効果トランジスタとの間に位置する領域に形成される前記絶縁膜より薄い前記絶縁膜が形成されるか、或いは、前記絶縁膜を非設置とすることを特徴とする半導体装置である。

【0049】

(10) 半導体基板と、前記半導体基板上に形成された、素子分離領域を介して形成されたゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタの上に形成される絶縁膜と、前記トランジスタのソースと対応するドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、前記トランジスタは、複数のnチャネル型電界効果トランジスタと、複数のpチャネル型電界効果トランジスタと、を有し、前記pチャネル型電界効果トランジスタに隣接する素子分離領域の溝幅は、前記nチャネル型電界効果トランジスタに隣接する素子分離領域の溝幅よりも、狭いことを特徴とする半導体装置である。

これにより、前記の全体としての向上効果に加えて、マスクパターンを調整すれば良いので容易に効果的に上記効果を達成できる。

【0050】

(11) また、(10)において、前記pチャネル型電界効果トランジスタが形成された領域に隣接し、前記ソースとドレインとを結ぶ方向に平行方向及び垂

直方向に位置する素子分離領域の溝幅は、前記nチャネル型電界効果トランジスタが形成された領域に隣接し、前記ソースとドレインとを結ぶ方向に平行方向及び垂直方向に位置する素子分離領域の溝幅より狭くなるよう形成されている。

【0051】

(12) 基板上に形成された、nチャネル型電界効果トランジスタと、pチャネル型電界効果トランジスタとを有する半導体装置において、上記nチャネル型電界効果トランジスタのチャネル部にレーザを照射した際のラマン分光のラマンシフトが、上記pチャネル型電界効果トランジスタのチャネル部にレーザを照射した際のラマン分光のラマンシフトより小さいことを特徴とする半導体装置である。

【0052】

(13) (1)から(11)において、上記絶縁膜は窒化珪素を主成分とすることを特徴とする半導体装置である。

【0053】

(14) 半導体基板にゲート電極と前記ゲート電極に対応するソース及びドレインを備えたnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタを形成する工程と、前記電界効果トランジスタを被うように応力制御膜を堆積する工程と、前記応力制御膜の上にマスクを堆積してパターンニングする工程と、前記応力制御膜をエッチングする工程と、を有し、前記応力制御膜を堆積後に層間絶縁膜を堆積する工程と、前記層間絶縁膜の上に前記トランジスタと電気的に連絡する配線層を形成する工程と、を備え、前記ソースとドレインとを結ぶ方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿う方向に形成され、前記応力制御膜に引張り或いは圧縮ひずみを残留させ、前記ソースとドレインを結ぶ方向に垂直な方向における前記pチャネル型電界効果トランジスタのチャネル部分は、前記ソースとドレインを結ぶ方向に垂直な方向における前記nチャネル型電界効果トランジスタのチャネル部分より大きな圧縮ひずみを有するよう形成することを特徴とする半導体装置の製造方法である。

【0054】

(15) 前記(14)において、前記エッチング工程によって、コンタクトプ

ラグを形成する領域に前記応力制御膜を除去すると共に、前記pチャネル型電界効果トランジスタの周囲に前記nチャネル型電界効果トランジスタの周囲より薄くするか或いは除去することを特徴とする半導体装置の製造方法である。

【0055】

(16) 半導体基板と、前記半導体基板上に形成された、ゲート電極と、前記ゲート電極に対応するソースとドレインとを備えた複数のトランジスタと、前記トランジスタを備えた複数の回路を有し、第一の回路は第一のトランジスタは第一の回路を備え、第二の回路は第二のトランジスタを備え、前記第一の回路の前記第一のトランジスタを構成するソースと対応するドレインとを結ぶ方向は、前記基板の<100>結晶軸、若しくは、<100>結晶軸と等価な軸に沿った方向に形成され、前記第二の回路の前記第二のトランジスタを構成するソースと対応するドレインとを結ぶ方向は、前記基板の<110>結晶軸、若しくは、<110>結晶軸と等価な軸に沿った方向に形成される、ことを特徴とする半導体装置である。

【0056】

なお、前記(16)は、前記第一の回路は、メモリ回路であり、前記第二の回路は低電圧回路のような周辺回路である。例えばメモリ回路はS R A M等であることができる。

【0057】

このようにすることにより、高速性と回路レイアウト性及び製造性に優れたチップを形成することができる。

【0058】

また、高速動作するメモリを<100>軸或いはその等価軸方向に形成し、高速性のそれ程要求されない定電圧回路を<110>軸或いはその等価軸方向に形成し、これらの回路を搭載した半導体基板を<110>軸方向或いはその等価軸方向に沿ってダイシングすることが好ましい。

【0059】

なお、公知例を調査したところチャネル部に応力を課すために、以下の関連技術が抽出されたが、何れも本願発明の構成を奏するものは見出せなかった。

例えば、特開60-52052号公報には、チャネル部の下地の層をpチャネル部の下にスピネル層、nチャネル部の下にSiO₂層を配置に作り分けること、特開平7-32122号公報、特開平10-92947号公報、特開平2000-243854号公報、特開平2000-160599号公報には、pチャネルを下地にSi層を配置したSiGe層とし、nチャネルを下地にSiGe層を配置したSi層とするように、作り分けることが開示されているが、下地領域（チャネル部の電子あるいは正孔、が流れる領域より下の領域（例えば、ゲート絶縁膜との界面から約5nm以上、ゲート絶縁膜とは反対方向に離れた領域））に層を挿入するので、チャネルと下地の界面や端部に欠陥が生じると、リーク電流等の電気特性に影響を及ぼす恐れがある。また、特開2000-36567号公報、特開平2000-36605号公報に、特開平2001-24468号公報には、PMOS部のトランジスタに隣接する素子分離部をLOCOSとし、その酸化量をコントロールして応力を加えることが開示されているが、LOCOSで素子分離しているため高集積化に効果的に対応することが困難であり、STIと作り分けるための工程が増加し、製造コストの大幅アップになる恐れがある。

【0060】

【発明の実施の形態】

以下、本発明の第1実施例を図1、2、6、8、9と、図10から12、および図24を用いて説明する。

【0061】

図1は、本発明の第1実施例の半導体装置の平面レイアウトの模式図（図1は図9の一部分（Xで示した枠内近傍）を拡大した模式図）、図2は、チャネル方向が<100>軸方向の電界効果トランジスタのドレイン電流の応力依存性を示す図、図6は、ゲート電極を上面より内包するSiN膜の真性応力が、チャネル部分応力（ドレイン電流に平行でチャネル面内の応力）に与える影響を応力解析した結果を示す図、図8は本実施例を適用した2NAND回路図、図9は本実施例の半導体装置の平面レイアウトの模式図、図10は、図1の平面レイアウトのAからDまでの断面構造を示した模式図である。図11は、本発明の他の実施形態である、応力制御膜が圧縮応力の場合の、半導体装置の平面レイアウトの模式図（図11は

図12の一部分（Xで示した枠内近傍）を拡大した模式図）、図24は、ゲート電極を上面より内包するSiN膜の膜厚が、チャネル部分応力（ドレイン電流に平行でチャネル面内の応力）に与える影響を応力解析した結果を示す図である。

【0062】

本発明の第1実施例の半導体装置は、半導体基板上にフィールド領域（素子分離領域）に囲まれた複数のアクティブ領域（素子形成領域）を有し、アクティブ領域にはトランジスタが形成される。また、トランジスタは、半導体基板であるシリコン基板の（100）面若しくは（100）面に等価な面に形成される。

【0063】

チャネル方向が<100>結晶軸に平行な2つのpチャネル型電界効果トランジスタP1、P2と、2つのnチャネル型電界効果トランジスタN1、N2からなる2NAND回路である。これらのトランジスタN1、N2、P1、P2は、それぞれ、図8に示すトランジスタN1、N2、P1、P2に対応する。

【0064】

1つの2NAND回路は、図1において、ゲート電極FGを共有するpチャネル型電界効果トランジスタP1とnチャネル型電界効果トランジスタN2、そして同様にP2とN1と、それぞれのトランジスタの電気的な接続を図るための、コンタクトプラグC0NT、や配線MLによって構成される。ここで、前記pチャネル型電界効果トランジスタP1、P2は一つのアクティブACT1上に、nチャネル型電界効果トランジスタN1、N2は一つのアクティブACT2上に形成される。

【0065】

本実施例の半導体装置は、2NAND回路を複数個、連続して並べた繰り返しパターンである。すなわち、図9に示すように、pチャネル型電界効果トランジスタP1、P2と、nチャネル型電界効果トランジスタN1、N2を複数個、繰り返し並べた、nチャネル型電界効果トランジスタが連続した領域NMと、pチャネル型電界効果トランジスタが連続した領域PMにより構成される。

【0066】

ここで、本実施例においては、応力制御膜209が、引張応力の膜応力であり、nチャネル型、およびpチャネル型電界効果トランジスタの形成部分、それぞれに

【書類名】 要約書

【要約】

【課題】 チャネル方向が<100>軸と平行な、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタを有する半導体装置において、nチャネル型電界効果トランジスタ、pチャネル型電界効果トランジスタ共にドレイン電流特性に優れた半導体装置を実現する。

【解決手段】 nチャネル型電界効果トランジスタN1、N2と、pチャネル型電界効果トランジスタP1、P2とを有する半導体装置において、nチャネル型、pチャネル型電界効果トランジスタのゲート電極を上面より覆う応力制御膜209は、応力制御膜209が引張膜応力の場合は、pチャネル型電界効果トランジスタP1、P2の形成されるアクティブに隣接する浅溝素子分離上で、非設置、あるいは薄膜化する。これにより、nチャネル型、pチャネル型トランジスタの両方のドレイン電流の向上が期待できる。このため、全体としての特性を向上させることができる。

【選択図】 図1

認定・付加情報

特許出願の番号 特願2002-244523
受付番号 50201255938
書類名 特許願
担当官 第五担当上席 0094
作成日 平成14年 8月27日

＜認定情報・付加情報＞

【提出日】 平成14年 8月26日

次頁無

出願人履歴情報

識別番号 [000005108]

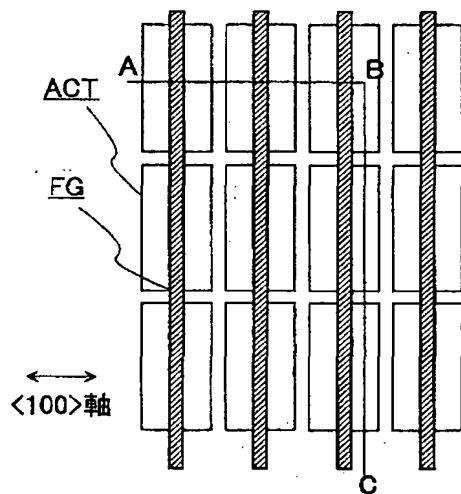
1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

【図18】

図18



【図19】

図19(a)

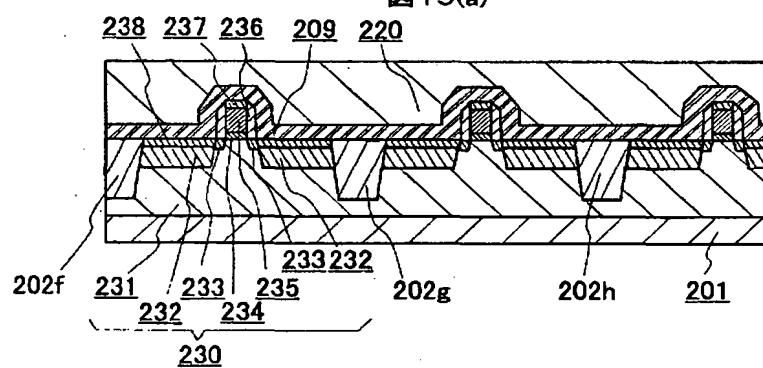
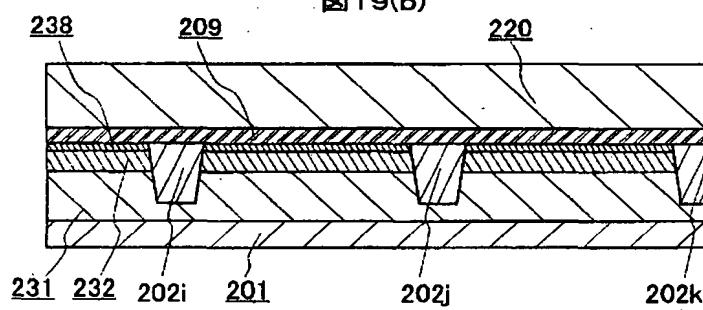
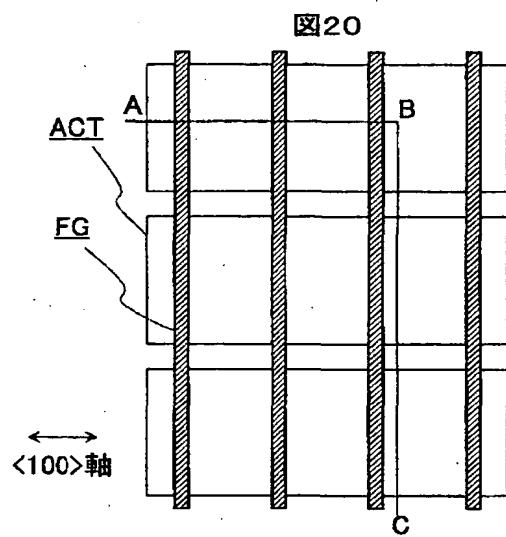


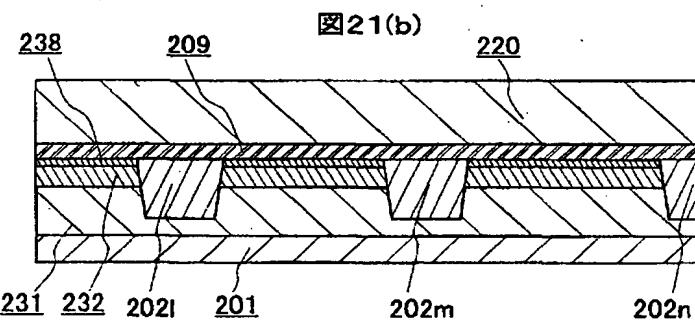
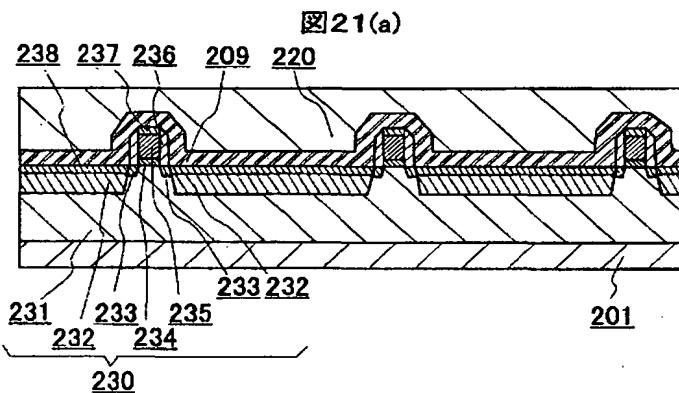
図19(b)



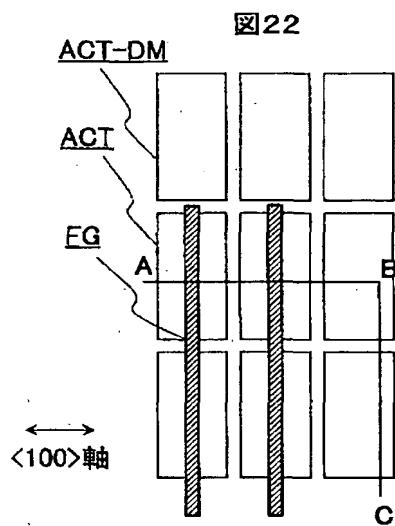
【図20】



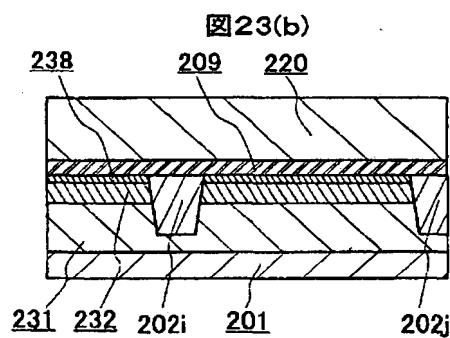
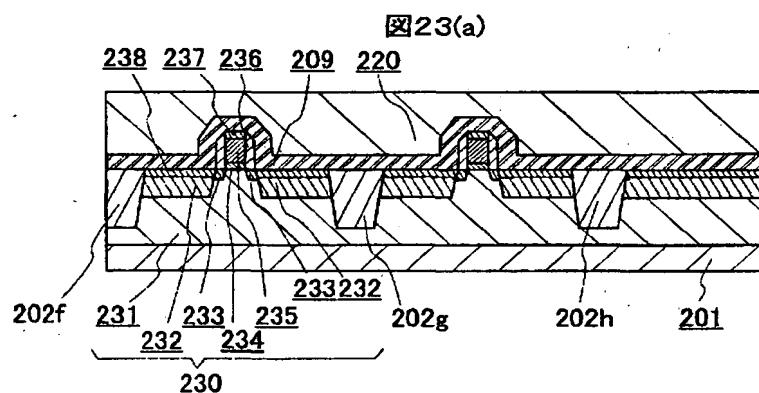
【図21】



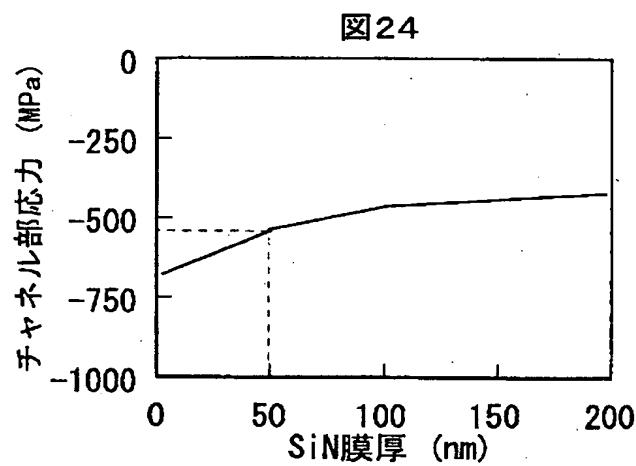
【図22】



【図23】



【図24】



、図1に示す平面パターンで形成される。すなわち、回路レイアウト全面を被覆する応力制御膜のうち、pチャネル型電界効果トランジスタのアクティブ領域を囲むフィールド領域上で、膜形成されていないことを特徴としている。（応力制御膜209は、図1に示すトランジスタ回路において、pチャネル型電界効果トランジスタのアクティブに挟まれたフィールド上以外の部分、すなわち、nチャネル型電界効果トランジスタの連続方向には、応力制御膜は他の素子上まで連続して形成される。）

これを巨視的に見ると、図9のように、pチャネル型電界効果トランジスタが多数形成される領域PMにおいて、応力制御膜209にはスリット（膜が不連続となっている部分）が形成されている。

図1の平面レイアウト図における断面構造A～Dについての模式図を図10に示す。本実施例の半導体装置は、シリコン基板201の正面に形成した、nチャネル型電界効果トランジスタ210と、pチャネル型電界効果トランジスタ230と、それらのトランジスタの上面に形成された応力制御膜209で構成される。

【0067】

nチャネル型電界効果トランジスタは、p型ウェル211に形成されたn型のソース・ドレイン（212、213）と、ゲート絶縁膜214、ゲート電極215で構成され、ゲート電極215の上面、およびソース・ドレイン（212、213）の上面には、シリサイド217、218が形成される。なお、n型ソース・ドレインとは、ゲート電極215を挟んで対向する212、213で示された、ソース領域、もしくはドレイン領域のことである。ソースとドレインの違いは、電流がどちらからどちらへ流すかという違いであり、基本的な構造上の違いはないので、本明細書では、ソース・ドレイン（212、213）として、表記する。次に説明するpチャネル型電界効果トランジスタ、および、それ以降についても同様である。

【0068】

なお、チャネル部分とは、ドレイン電流が流れる領域であり、図としてはゲート絶縁膜の下に位置する半導体基板の表面附近の領域である。例えば、基板表面から100nmより浅い領域が該当する。

【0069】

また、pチャネル型電界効果トランジスタは、n型ウェル231に形成されたp型ソース・ドレイン（232、233）と、ゲート絶縁膜234、ゲート電極235で構成され、ゲート電極235の上面、およびソース・ドレイン（232、233）の上面には、シリサイド237、238が形成される。また、ゲート絶縁膜214、234とゲート電極215、235、シリサイド217、218、237、238の側壁には窒化珪素（SiN）や、シリコン酸化膜（SiO₂）からなるサイドウォール216、236が形成される。これらのトランジスタは、シリコン酸化膜（SiO₂）や、窒化珪素（SiN）からなる、浅溝素子分離202によって、他のトランジスタとの絶縁がなされる。

【0070】

ゲート酸化膜214、234は、例えば、シリコン酸化膜（SiO₂）、窒化珪素膜（SiN）、酸化チタン（TiO₂）、酸化ジルコニウム（ZrO₂）、酸化ハフニウム（HfO₂）、五酸化タンタル（Ta₂O₅）などの誘電体膜、あるいはこれらの積層構造からなる。

【0071】

なお、チャネル部分のソース・ドレインを結ぶ方向が半導体基板の<100>軸方向に配置されている場合、例えば、ソース・ドレインに挟まれたゲート電極の長手方向は、半導体基板の<010>軸方向或いはその等価軸方向に沿って形成されるようにすることができる。

【0072】

また、ゲート電極215、235は、例えば、多結晶シリコン膜、あるいはタンゲステン（W）、白金（Pt）、ルテニウム（Ru）等の金属膜、あるいはこれらの積層構造からなる。

【0073】

nチャネル型、pチャネル型電界効果トランジスタの上面には、応力制御膜209が形成され、さらにその上面には、例えば、BPSG（Boron-doped Phospho Silicate Glass）膜や、SOG（Spin On Glass）膜、あるいはTEOS（Tetra-Ethyl-Ortho-Silicate）膜、あるいは化学気相成長法、あるいはスパッタ法で形成したシリコン酸化膜なる層間絶縁膜203、220と、コンタクトプラグ207により電気的な接続がされた配線223が形成される。

【0074】

ここで、本実施例においては、応力制御膜209の膜応力は、引張応力であること特徴とし、主として窒化珪素（SiN）からなり、化学気相成長法、あるいはスパッタ法によって形成される。

【0075】

そして、応力制御膜209は、pチャネル型電界効果トランジスタのソース・ドレインを横切る断面（図1のA-B断面、図10(a)）では、浅溝素子分離上において不連続に形成される。例えば浅溝素子分離202aを挟んで隣接する2つのトランジスタ上に形成される応力制御膜は、浅溝素子分離202a上で応力制御膜が不連続となる。一方、nチャネル型電界効果トランジスタを横切る断面（図1のC-D断面、図10(c)）においては、隣接するトランジスタ上に形成された応力制御膜は連続となる。すなわち、浅溝素子分離上、例えば、202d、202e上で応力制御膜は連続である。

【0076】

また、図1のB-C断面に示すように、浅溝素子分離を介して、nチャネル型と、pチャネル型を横切る断面では、応力制御膜209は不連続となるが、nチャネル型側の方が、フィールド領域上に掛かる部分が大きくなる。

【0077】

なお、応力制御膜が不連続となる部分は、必ずしも完全に膜がない状態である必要はない。少なくともそれ以外の部分よりも薄い膜にする。若干、薄い膜が形成されていても構わない。より好ましくは、nチャネル型電界効果トランジスタのソース・ドレイン上に形成される膜厚に対して、20%以上、薄膜化されているのが望ましい。具体的には、nチャネル型電界効果トランジスタのソース・ドレイン上での膜厚は50nmより大きく、より好ましくは80nm以上であり、pチャネル型電界効果トランジスタのアクティブに隣接するフィールド上での膜厚は50nm以下であるのが望ましい。

なお、本実施例に示した2NAND回路は、本発明を実際の電気回路レイアウトに適用した例の一つである。平面レイアウトは、本実施例以外のものであっても構わないし、適用する電気回路は、例えば、AND回路、NOR回路、OR回路、入出力バ

ツファ回路であっても構わない。また、応力制御膜以外の構造や材料、製造方法については、本実施例以外であっても構わない。

【0078】

以下、本実施例の作用効果について説明する。

【0079】

L S I 等の半導体装置の開発においては、電界効果トランジスタのドレイン電流の向上（ドレイン電流の増加）が年々進められている。本願発明者らは、トランジスタ構造因子がチャネル部分の応力に与える影響を明らかにし、チャネル方向が<100>軸方向となるトランジスタのドレイン電流を向上させる方法を見出した。

【0080】

図2は、チャネル方向が<100>軸方向の電界効果トランジスタのドレイン電流の応力依存性を示すグラフである。図2より、nチャネル型電界効果トランジスタでは、チャネルに平行、直角方向とも引張応力によってドレイン電流が増加し、pチャネル型電界効果トランジスタでは、逆に、チャネルに平行、直角方向とも圧縮応力によってドレイン電流が増加することが分かる。

【0081】

図6は、ゲート長 $0.08 \mu m$ の電界効果トランジスタ構造において、ゲート電極上面を覆うSiNの膜応力が、ドレイン電流が流れる部分（チャネル）の応力（ドレイン電流に平行方向でチャネル面内の応力）に与える影響を有限要素法により応力解析した結果を示すグラフである。この結果から、ゲート電極を覆う膜の膜応力が引張側に強くなると、チャネル部分の応力も引張側に強くなることを明らかとなった。

【0082】

これは、ゲート電極を内包する膜がソース・ドレイン領域の上面にまで拡張して形成されており、この部分の膜の引張応力（膜の収縮）が、チャネル部分の応力を引張側にシフトさせるためである。

【0083】

実際のデバイス回路においては、膜は平面的に形成されるため、トランジスタ

のチャネル部分には、二軸の応力、すなわち、チャネルに平行方向と直角方向の応力が作用する。膜応力が引張応力であるゲート電極上面を覆う膜（応力制御膜）を、トランジスタ上面、および周辺全面に一様に成膜した場合には、トランジスタのチャネル部分には平行方向、直角方向ともに、引張応力が作用する。ここで、この応力制御膜の一部をエッチングして、トランジスタを覆う面積を小さくすれば、力の発生源が小さくなるので、トランジスタのチャネル部分に発生する引張応力は、チャネルに平行、直角方向ともに緩和する。

【0084】

そこで、図2に示したドレイン電流の応力依存性の結果を考慮して、応力制御膜の平面レイアウトを適正化すると次のようになる。すなわち、nチャネル型電界効果トランジスタと、pチャネル型電界効果トランジスタとを有する半導体装置においては、ゲート電極を内包する膜の膜応力が引張応力である場合には、nチャネル型電界効果トランジスタ側については、該膜が周辺領域まで広く覆うようとする。これにより、nチャネル型電界効果トランジスタのチャネル部分には、チャネルに平行、直角方向とも、強い引張応力を与えることができるので、ドレイン電流を増加させることができる。

【0085】

一方、pチャネル型電界効果トランジスタ側については、nチャネル型電界効果トランジスタ側より小さい領域を被うようとする。このように膜が必要最小限の領域を覆うようにすることにより、引張応力を緩和することができるので（圧縮側に応力をシフトすることができるので）、pチャネル型についてもドレイン電流の増加が期待できる。

【0086】

よって、以上のような構成にすることにより、nチャネル型、pチャネル型の両方のドレイン電流の向上が期待できる。このため、全体としての特性を向上させることができる。

【0087】

逆に、ゲート電極を内包する膜の膜応力が圧縮応力である場合には、nチャネル型電界効果トランジスタ側については、pチャネル型電界効果トランジスタ側

より小さい領域を被うようにして、好ましくは該膜が必要最小限の領域を覆うようにし、pチャネル型電界効果トランジスタ側については、該膜が周辺領域まで広く覆うようにすれば良い。（図11、12）

本発明の第1実施例の半導体装置は、図1に示すように、回路全面に被覆した引張膜応力の応力制御膜から、pチャネル型電界効果トランジスタの素子分離領域で囲まれたアクティブに対応するフィールド上の応力制御膜を除去する。これにより、pチャネル型電界効果トランジスタのチャネルに平行方向の引張応力を低減させることができる。それ以外の方向、nチャネル型電界効果トランジスタのチャネルに平行、直角方向については、引張応力を作用させることができる。

【0088】

したがって、nチャネル型、pチャネル型電界効果トランジスタとともに、チャネル面内の2軸方向の応力制御がなされるので、nチャネル型、pチャネル型ともにドレイン電流が増加できるという効果が得られる。

【0089】

また、本実施例によれば、応力制御膜は、nチャネル型電界効果トランジスタ、およびpチャネル型電界効果トランジスタとともに、コンタクトホールが形成される領域までは残されることが好ましい。これにより、応力制御膜209を窒化珪素（SiN）とした場合、層間絶縁膜の形成後、ソース・ドレイン領域に上層配線から電気的接続を図るための、シリコン酸化膜からなる層間絶縁膜にコンタクトホールを開ける時のエッチストップとしても、応力制御膜を利用することが出来るという効果が得られる。

【0090】

また、本実施例に述べた応力制御膜の加工は、自己整合コンタクト孔の形成と同じ工程で行うことができるので、マスクは自己整合コンタクトと共有することができる。すなわち、応力制御膜209を、一様に成膜した後、自己整合コンタクト孔形成プロセスと同時に、応力制御膜加工プロセス（浅溝素子分離202cや202b上の応力制御膜の除去）を行うことができる。その後の加工は、従来の自己整合コンタクトを行うプロセスを続ければ良い。このように、本実施例によれば、従来のプロセスを、マスクレイアウトを変更するだけで、使用することができるの

で、製造コストに優れた半導体装置が得られるという効果が得られる。

【0091】

なお、pチャネル型電界効果トランジスタのチャネルに平行方向に与える引張応力はできるだけ小さい方が良い。つまり、pチャネル型電界効果トランジスタ側の応力制御膜はコンタクトホール形成領域、すなわち、自己整合コンタクトとして利用する部分に形成され、その周囲の素子が形成されていない領域に非形成にするのが望ましい。

【0092】

なお、応力制御膜が除去されたスリットの部分は、必ずしも完全に膜がない状態である必要はない。若干、薄い膜が形成されていても構わない。図24に、ゲート長 $0.08\mu\text{m}$ のトランジスタにおけるチャネル部分の応力に与える構造因子の影響について、図6に示した解析と同様に、応力制御膜（材料としては、真性応力が引張応力であるSiNを仮定。）の膜厚について、感度解析した結果を示す。引張応力の応力制御膜によって、引張応力側にシフトしたチャネル部分の応力は、応力制御膜の膜厚が 50nm より薄くなると、急激に応力制御膜の効果が小さくなることが明らかになった。ソース・ドレイン上からフィールド領域上に伸びる応力制御膜の影響が小さくなる（応力発生源が小さくなる）ことが、原因の一つと考えられる。

【0093】

したがって、pチャネル型電界効果トランジスタのアクティブに隣接するフィールド上における応力制御膜の薄膜化は、nチャネル型電界効果トランジスタのソース・ドレイン上における膜厚よりも、20%以上、薄膜化するのが望ましく、より好ましくは、nチャネル型電界効果トランジスタのソース・ドレイン上での膜厚は 50nm より大きく、さらに好ましくは 80nm 以上であり、pチャネル型電界効果トランジスタのアクティブに隣接するフィールド上での膜厚は 50nm 以下であるのが望ましい。

【0094】

なお、上記の膜厚の比較は、例えば、本実施例のように、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタが対になって用いられるNA

ND回路に形成される膜で比較することが好ましい。

【0095】

なお、本実施例に示した図6、24の感度解析に用いた構造の標準寸法（厚さ）を以下に示す。ゲート長80nm、ゲート高さ150nm、サイドウォール膜厚（シリコン基板に接する部分）50nm、シリサイド膜厚30nm、STI溝幅5μm、STI溝深さ350nm、ゲート電極からSTIまでの距離0.62μm、である。これらの寸法は、半導体装置の高性能化に伴い微細化するので、本発明の適用形態としては、本寸法に限られるものではない。

【0096】

なお、シリコン基板上に形成された、nチャネル型電界効果トランジスタと、pチャネル型電界効果トランジスタとを有する半導体装置において、上記トランジスタのドレイン電流が主として流れる方向は、<100>結晶軸、若しくは、<100>結晶軸と等価な軸に、平行であり、上記nチャネル型電界効果トランジスタのチャネル部にレーザを照射した際のラマン分光のラマンシフトが、上記pチャネル型電界効果トランジスタのチャネル部にレーザを照射した際のラマン分光のラマンシフトより小さい。

【0097】

例えば、nチャネル型電界効果トランジスタのチャネル部をTEMで観察した際の結晶格子間隔は、pチャネル型電界効果トランジスタのチャネル部をTEMで観察した際の結晶格子間隔より広くなっている。上記の各試料は、ソース・ドレインを横切るような方向に沿って形成した試料を用いることが好ましい。

【0098】

次に、本発明の第2実施例を図10(a)と、図13から図17を用いて説明する。本実施例は、第1実施例の製造方法を、第1実施例の代表的な断面構造である図10(a)を用いて説明したものである。

【0099】

本実施例の製造方法は以下の通りである。

(1) シリコン基板201上に電界効果トランジスタ230、シリサイド218、217等を形成し、応力制御膜209を上面全面に形成する。（図13）

(2) 応力制御膜209の上面に、応力制御膜209を加工するマスク204を形成する。マスクパターンは、応力制御のための加工とコンタクトプラグ207形成のための加工の両方を兼ねるようにする。 (図14)

(3) 応力制御膜209をエッティングにより、加工する。 (図15)

(4) 層間絶縁膜203を形成し、コンタクトプラグ207の形成部分のみに孔を開ける。 (図16)

(5) コンタクトプラグ207を形成する。 (図17)

(6) 上層の配線223、層間絶縁膜220等を形成する。 (図10(a))

本実施例によれば、応力制御膜209の応力制御の加工プロセスと、コンタクトプラグ形成のための自己整合コンタクトのプロセスが、同じマスクを用いて、同時に行うことができる。したがって、製造コストに優れた信頼性の高い半導体装置が得られるという効果が得られる。

【0100】

なお、本実施例に示した製造方法は、第1実施例を製造する方法の一例に過ぎない。第1実施例の製造方法は、本実施例以外であっても構わない。

【0101】

次に、本発明の第3実施例を図4および、図18から図21を用いて説明する。図4はゲート長各世代の電界効果トランジスタのチャネル部分の応力を有限要素法により応力解析した結果を示すグラフ、図18は本発明の第3実施例である半導体装置の平面レイアウトを示す模式図、図19(a)は本発明の半導体装置の断面の模式図 (図18のA-B線に沿った断面)、図19(b)は本発明の半導体装置の断面の模式図 (図18のB-C線に沿った断面)、図20は従来の半導体装置の平面レイアウトを示す模式図、図21(a)は従来の半導体装置の断面の模式図 (図20のA-B線に沿った断面)、図21(b)は本発明の半導体装置の断面の模式図 (図20のB-C線に沿った断面)である。

【0102】

本実施例の、第1実施例との違いは、第1実施例においてはチャネル部分の応力制御を応力制御膜の形状によって行ったのに対し、本実施例では、STIの溝幅

によって行っているという点である。

【0103】

本実施例の半導体装置は、図18に示すように、チャネル方向が<100>軸に平行な複数のpチャネル型電界効果トランジスタがアクティブACT上に、STIを介して、互いに隣接するように配置された回路である。

【0104】

図18の平面レイアウトにおける断面構造A～Cについての模式図を図19に示す。本実施例の半導体装置は、シリコン基板201の主面に形成した、複数のpチャネル型電界効果トランジスタ230と、それらのトランジスタを分離する浅溝素子分離(STI)202で構成される。

【0105】

pチャネル型電界効果トランジスタは、n型ウェル231に形成されたp型ソース・ドレイン(232、233)と、ゲート絶縁膜234、ゲート電極235で構成され、ゲート電極235の上面、およびソース・ドレイン(232、233)の上面には、シリサイド237、238が形成される。また、ゲート絶縁膜234とゲート電極235、シリサイド237、238の側壁にはサイドウォール236が形成される。これらのトランジスタは、浅溝素子分離202によって、他のトランジスタとの絶縁がなされる。各材料、成膜方法、及び構造寸法は第1実施例に述べたものを用いても良い。

【0106】

ここで、前記pチャネル型電界効果トランジスタに隣接する素子分離領域の溝幅は、前記nチャネル型電界効果トランジスタに隣接する素子分離領域の溝幅よりも、狭くなるよう形成する。

【0107】

一例としては、pチャネル型トランジスタのアクティブに隣接するSTIの溝幅が可能な限り狭いくることが好ましい。具体的には、 $0.25\mu\text{m}$ 以下、より好ましくは、該半導体装置における最小加工寸法であることが望ましい。

【0108】

以下、本実施例の半導体装置の作用効果について説明する。

【0109】

初めに図20、図21を用いて、比較例の平面レイアウトの一例について説明する。該平面レイアウトは相補型電界効果トランジスタで構成される半導体装置の一部分に用いられる、複数のpチャネル型電界効果トランジスタ230で構成される回路レイアウトを示したものである。チャネル方向は<100>軸方向である。複数のpチャネル型電界効果トランジスタ230が、ソース・ドレイン(232、233)領域を共有するように、STI(2021、202m、202n)を介して複数本配置されたアクティブACT上に形成される。このpチャネル型電界効果トランジスタの平面レイアウトはPLLの発振機等の相補型電界効果トランジスタを用いた半導体装置に多用されている。

【0110】

前述したように、LSI等の半導体装置の開発においては、電界効果トランジスタのドレイン電流の向上が課題となっている。そこで本願発明者らは、前出の知見をもとに、応力(ひずみ)を用いてドレイン電流を向上させる平面レイアウトを考案した。

【0111】

相補型電界効果トランジスタを形成するのに用いられる浅溝素子分離(STI)は、トランジスタ等の素子を電気的に分離するために、必須なものであるが、STIは溝内が酸化されることにより体積膨張が発生するために、隣接するアクティブに強い圧縮応力を発生させる材料である。

【0112】

図20に示した比較例の平面レイアウトでは、チャネルに直角方向のSTI(2021、202m、202n)の溝幅が応力の観点から十分に制御されておらず、また、チャネルに平行方向については、シリサイド238の結晶化に伴う引張応力が発生しているため、pチャネル型電界効果トランジスタのドレイン電流を低下させる要因となっていた。

【0113】

そこで、本願発明者らは、STIの応力をを利用して、チャネル部分に応力を負荷し、ドレイン電流を向上させることを検討した。前述のようにSTIの応力は、シリコン基板に形成された浅く狭い溝内が酸化されることによる体積膨張に起因す

るものである。溝幅が狭くなると、体積膨張に対する拘束が大きくなるため、隣接するアクティブに発生する圧縮応力は大きくなる。図4に示したゲート長各世代におけるチャネル部分の応力の変化を示したグラフにおいて、設計ルールの微細化が進むと応力が増加したのは、STIの溝が狭くなったことによる酸化起因応力の増加による寄与が大きい。特に $0.25\mu\text{m}$ 以下において応力の増加が大きくなる。

【0114】

本実施例の半導体装置は、pチャネル型電界効果トランジスタに隣接するSTI（2021、202m、202n）の溝幅（STIを介して隣接する隣のアクティブまでの距離）を、チャネルに平行、直角方向ともに、可能な限り狭くすることが好ましい。具体的には、 $0.25\mu\text{m}$ 以下、より好ましくは、該半導体装置における最小加工寸法であることが望ましい。

【0115】

その結果、チャネル部分に、チャネルに直角、並行方向ともに、圧縮応力を与えることができるので、ドレイン電流を増加することができるという効果が得られる。

【0116】

また、この第3実施例によれば、レイアウト変更のみですむので、従来の製造工程をそのまま利用できるという効果が得られる。

【0117】

なお、本実施例は、本発明の形態の一つとして示したものである。本発明は、pチャネル型電界効果トランジスタに隣接するSTIの溝幅が、可能な限り狭く、具体的には $0.25\mu\text{m}$ 以下、より好ましくは、該半導体装置における最小加工寸法であることを特徴としているのであって、従来例に示したPLLに限定しているものではない。

【0118】

また、本実施例は、STIの溝幅を適正化するものである。ゲート電極、その他の構造については、本実施例以外であってもよい。

【0119】

次に、本発明の第4実施例を図22及び図23を用いて説明する。図22は本発明の第4実施例である半導体装置の平面レイアウトを示す模式図、図23(a)は本発明の半導体装置の断面の模式図（図22のA-B線に沿った断面）、図23(b)は本発明の半導体装置の断面の模式図（図22のB-C線に沿った断面）である。

【0120】

本実施例の、第1実施例との違いは、第1実施例においてはチャネル部分の応力制御を応力制御膜の形状によって行っていたのに対し、本実施例では、STIの溝幅によって行っているという点であり、第3実施例との違いは、トランジスタに隣接するSTIの溝幅の制御を、トランジスタを形成しないアクティブ（以下、ダミーアクティブ）で行っているという点である。

【0121】

本実施例の半導体装置は、図22に示すように、チャネル方向が<100>軸方向であるpチャネル型電界効果トランジスタにより構成される回路において、pチャネル型電界効果トランジスタに隣接する素子分離領域の溝幅は、前記nチャネル型電界効果トランジスタに隣接する素子分離領域の溝幅よりも、狭くなるよう形成する。

【0122】

例えば、好ましくは、トランジスタの形成されるアクティブACTに隣接するSTIの溝幅が、可能な限り狭く、具体的には、 $0.25\mu\text{m}$ 以下、より好ましくは、該半導体装置における最小加工寸法になるように、他のトランジスタあるいは、ダミーアクティブACT-DMが形成される。

【0123】

なお、ダミーアクティブACT-DMの形状は、トランジスタの形成されるアクティブACTと同様な形状である必要はない。例えば、ダミーアクティブ間のSTI（202i）は形成されなくても良い。

【0124】

以下、本実施例の半導体装置の作用効果について説明する。

【0125】

第3実施例のように、pチャネル型電界効果トランジスタが、チャネルに平行

、直角方向ともに形成されている時には、隣接するSTIの溝幅を狭めるようにするため、互いの配置を変更することにより、ドレイン電流を増加させることができる。

【0126】

しかし、回路の端部や、他の電気回路との位置関係の都合により、隣接する位置にpチャネル型電界効果トランジスタが形成されていない場合、第3実施例の適用は、難しい面もある。

【0127】

そこで、本実施例のように、トランジスタの形成されないアクティブACT-DMを形成することにより、pチャネル型電界効果トランジスタに隣接するSTIの溝幅を、狭めることができる。

【0128】

これにより、回路の端部のpチャネル型電界効果トランジスタについても、チャネルに平行、直角方向ともに、圧縮応力を負荷することができるので、第3実施例同様、ドレイン電流を増加することが出来るという効果が得られる。

【0129】

また、本実施例によれば、第3実施例と同様に、レイアウト変更のみですむので、従来の製造工程をそのまま利用できるという効果が得られる。

【0130】

【発明の効果】

本発明によれば、nチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタを有する半導体装置において、nチャネル型電界効果トランジスタ、pチャネル型電界効果トランジスタ共にドレイン電流特性に優れた半導体装置を効果的に実現することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施例である半導体装置の平面模式図（図9の部分拡大図）である。

【図2】

チャネル方向が<100>軸に平行な、nチャネル型及びpチャネル型電界効果トランジスタのドレイン電流の応力依存性の実験結果を示すグラフである。

【図3】

チャネル方向が<110>軸に平行な、nチャネル型及びpチャネル型電界効果トランジスタのドレイン電流の応力依存性の実験結果を示すグラフである。

【図4】

ゲート長各世代のチャネル部分の応力を解析した結果を示すグラフである。

【図5】

電界効果トランジスタの世代による相互コンダクタンス (Gm) の応力に対する依存性の違いを示した実験結果を示すグラフである。

【図6】

ゲート電極を上面より内包するSiN膜の真性応力が、チャネル部分の応力に与える影響を解析した結果を示すグラフである。

【図7】

STIの酸化起因応力が、チャネル部分の応力に与える影響を解析した結果を示すグラフである。

【図8】

本発明の第1実施例である半導体装置の電気回路図である。

【図9】

本発明の第1実施例である半導体装置の平面模式図である。

【図10】

本発明の第1実施例である半導体装置の断面を示す模式図である。

【図11】

本発明のその他の第1実施例である半導体装置の平面模式図（図12の部分拡大図）である。

【図12】

本発明のその他の第1実施例である半導体装置の平面模式図である。

【図13】

本発明の第1実施例である半導体装置の製造工程の一部を示す断面模式図である。

【図14】

本発明の第1実施例である半導体装置の製造工程の一部を示す断面模式図である。

【図15】

本発明の第1実施例である半導体装置の製造工程の一部を示す断面模式図である。

【図16】

本発明の第1実施例である半導体装置の製造工程の一部を示す断面模式図である。

【図17】

本発明の第1実施例である半導体装置の製造工程の一部を示す断面模式図である。

【図18】

本発明の第3実施例である半導体装置の平面模式図である。

【図19】

本発明の第3実施例である半導体装置の断面模式図である。

【図20】

本発明の第3実施例である半導体装置の比較例の平面模式図である。

【図21】

本発明の第3実施例である半導体装置の比較例の断面模式図である。

【図22】

本発明の第4実施例である半導体装置の平面模式図である。

【図23】

本発明の第4実施例である半導体装置の断面模式図である。

【図24】

ゲート電極を上面より内包するSiN膜の膜厚が、チャネル部分の応力に与える影響を解析した結果を示すグラフである。

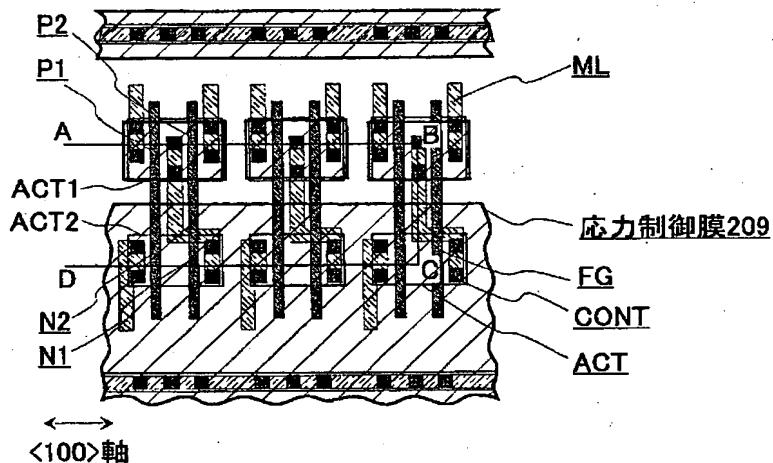
【符号の説明】

201	シリコン基板
202、202a~202n	浅溝素子分離
203、220	層間絶縁膜
204	マスク
ACT、ACT1、ACT2	アクティブ
223、ML	配線
207、CONT	コンタクトプラグ
209	応力制御膜
210、N1、N2	nチャネル型電界効果トランジスタ
211、P-WELL	p型ウェル
212、213	n型ソース・ドレイン
214、234	ゲート絶縁膜
215、235、FG	ゲート電極
216、236、216a、216b	サイドウォール
217、218	シリサイド
230、P1、P2	pチャネル型電界効果トランジスタ
231	n型ウェル
232、233	p型ソース・ドレイン
ACT-DM	ダミーアクティブ

【書類名】 図面

【図1】

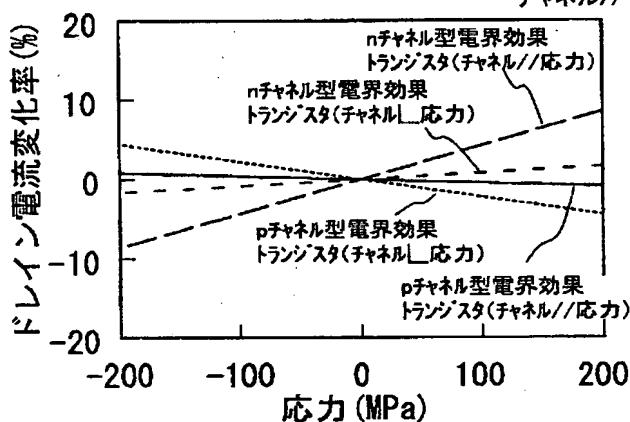
図1



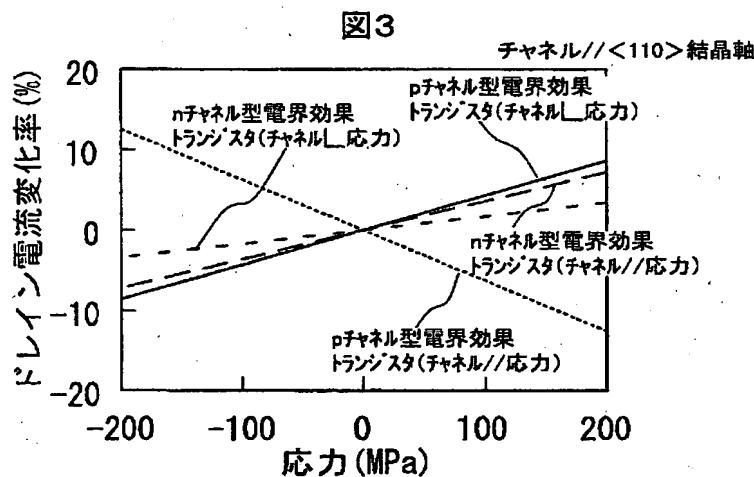
【図2】

図2

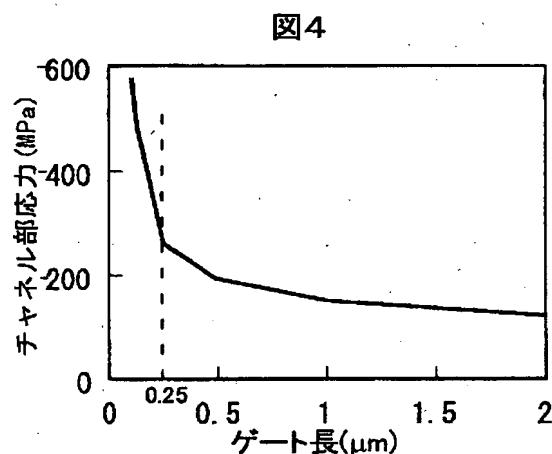
チャネル//<100>結晶軸



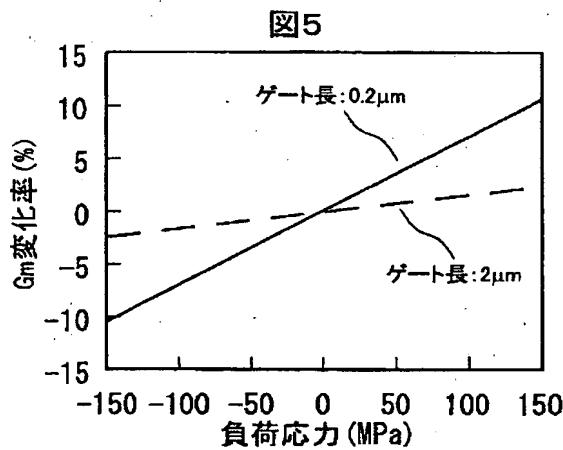
【図3】



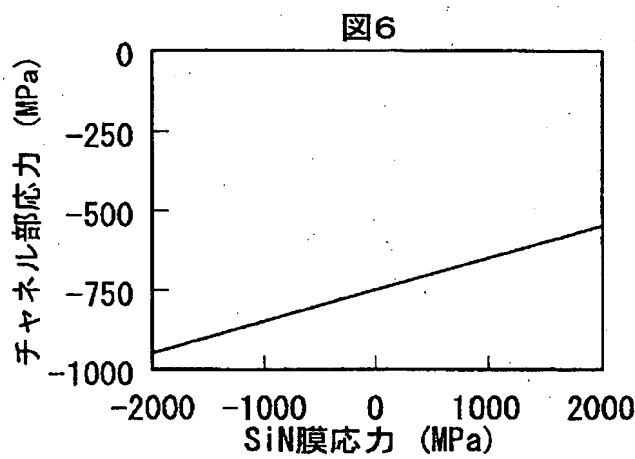
【図4】



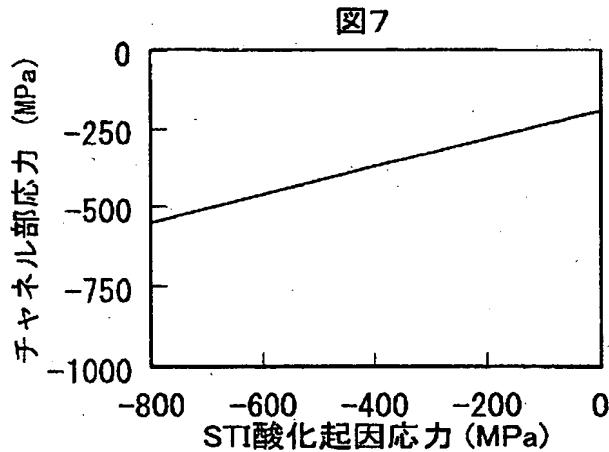
【図5】



【図6】

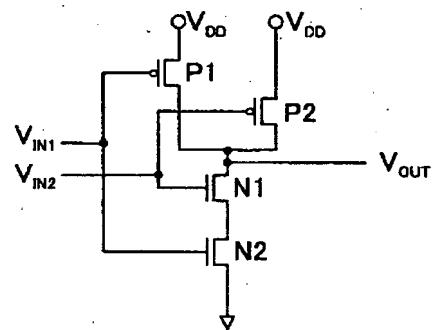


【図7】



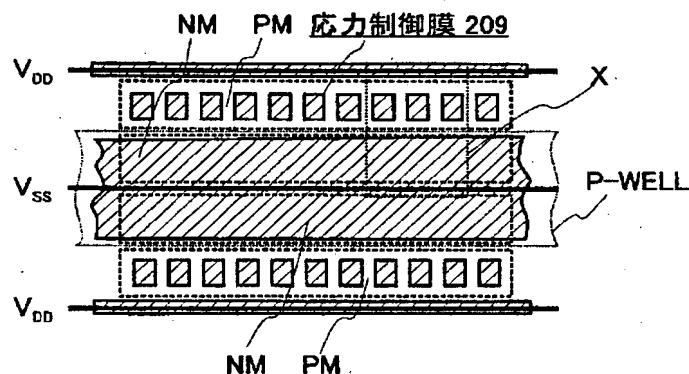
【図8】

四 8



[図9]

9



【図10】

図10(a)

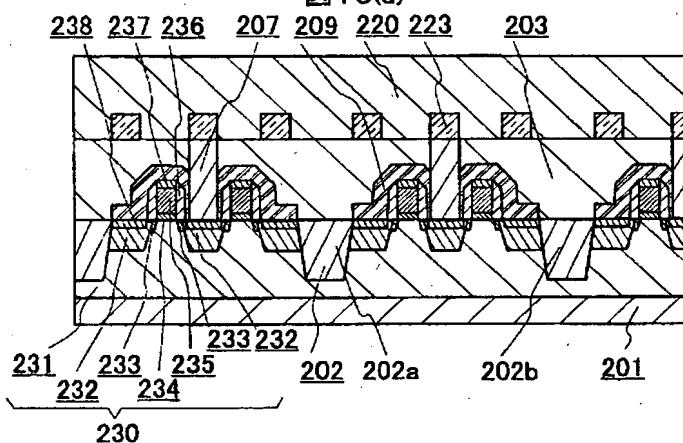


図10(b)

207 209 220 223 218 203

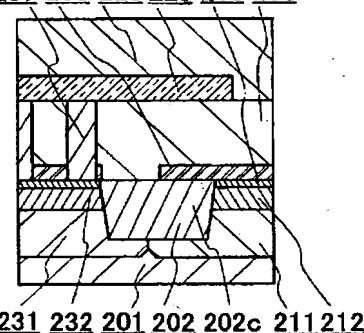
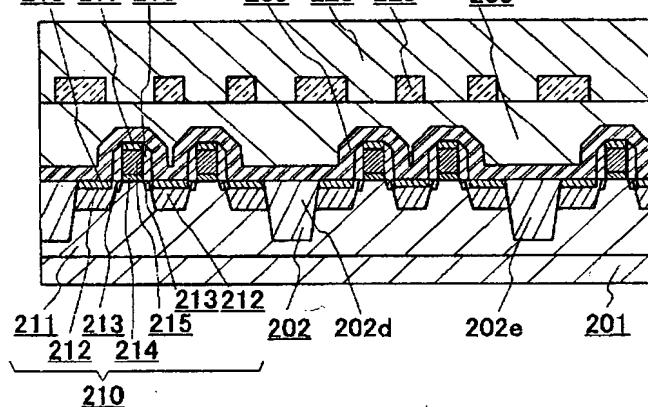
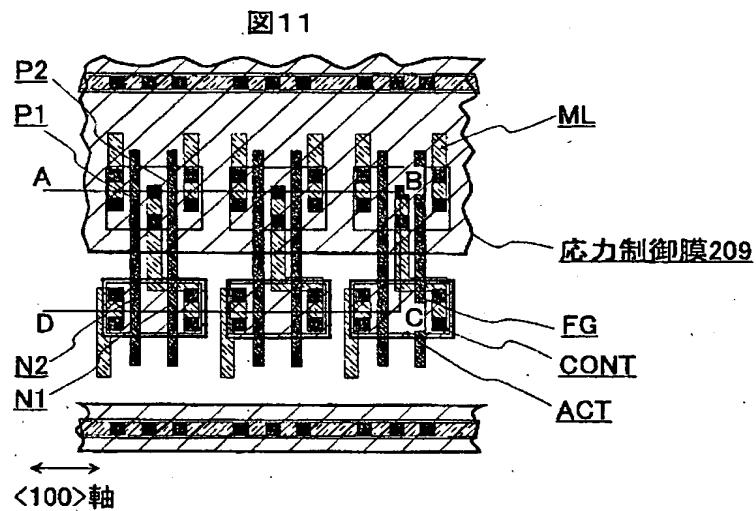


図10(c)

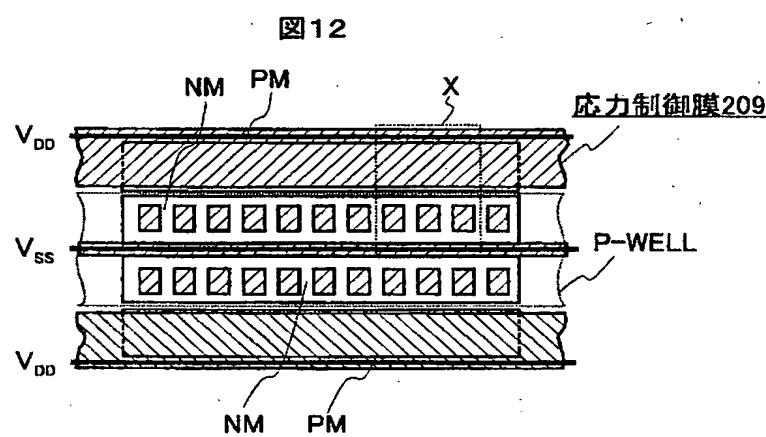
218 217 216 209 220 223 203



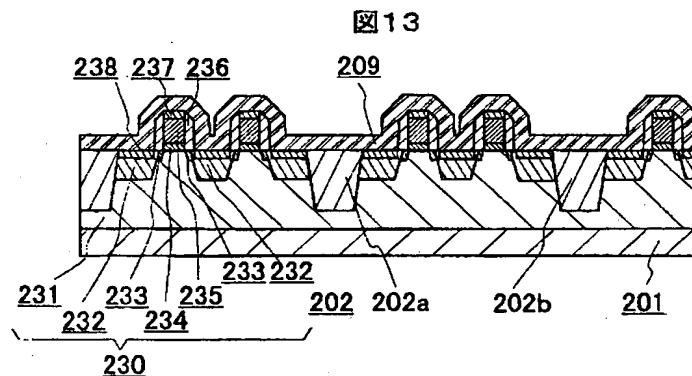
【図11】



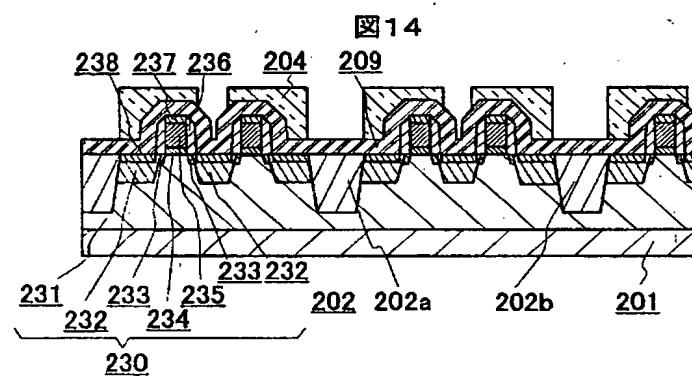
【図12】



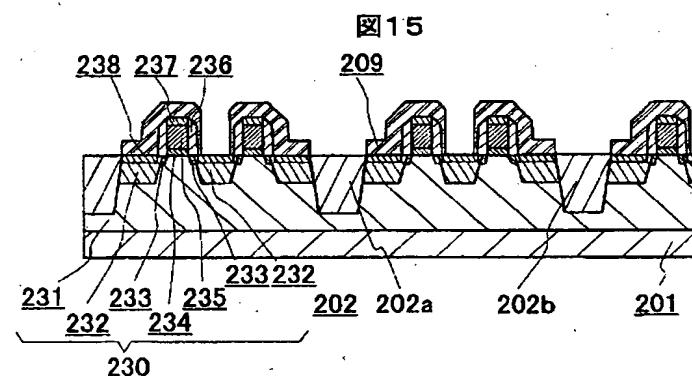
【図13】



【図14】

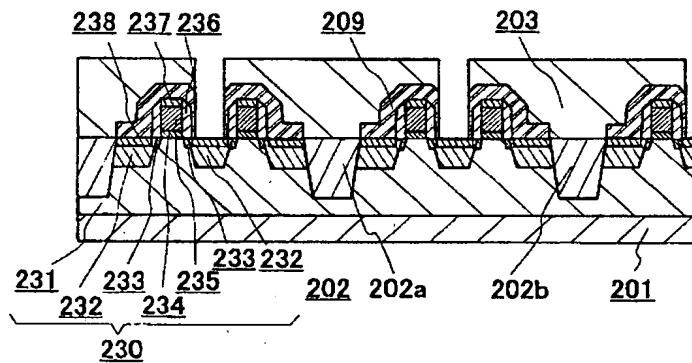


【図15】



【図16】

図16



【図17】

図17

